

# 高周波 MEMS 応用のための微小真空管製作

山下 清隆\*, Winston Sun, 角嶋 邦之, 藤田 博之, 年吉 洋  
(東京大学生産技術研究所)

Preparation of Papers for National Convention of I.E.E JAPAN

Kiyotaka Yamashita, Winston Sun, Kuniyuki Kakushima, Hiroyuki Fujita, and Hiroshi Toshiyoshi  
(Institute of Industrial Science The University of Tokyo)

## 1. はじめに

近年, MEMS (Micro Electro Mechanical Systems) などの半導体微細加工技術を用いて真空素子を作製する「真空マイクロエレクトロニクス」が注目を浴びている[1,2]. これを可能にしたのは, 真空という良好な環境を用いることで電子の高速化が求められる高周波デバイスへの応用などに期待されることに加え, 真空素子の最大の欠点とされてきた集積化を MEMS 技術により克服したことである. 本発表では, 微小な真空管を MEMS プロセスと電界放出 (FE: Field Emission) の原理を用いて作製することを試みたので, その結果を報告する.

## 2. SOI 基板を用いたマイクロ真空管

MEMS を用いた電界放出の原理を確認するために, SOI 基板を用いて対向型の微小三極管を作製した. 作製したデバイスの SEM 像を図 1 に示す. 図の左側のティップがカソード, 右側のティップがアノードであり, その間の上下の対向電極が電子引き出し用のゲート電極となっている. はじめに, SOI ウェハ上に DRIE を用いてこれらの電極をパターンニングし, その後 TMAH を用いて適当な時間と温度でウェットエッチングを行うことにより, 図のような鋭い先端を持つ対向電極を得ることができた. ちなみに, アノードとエミッタ間の距離は約 5 $\mu$ m で, エミッタの曲率半径は約 50nm であるが, 電極間距離についてはさらに短くすることも可能である.

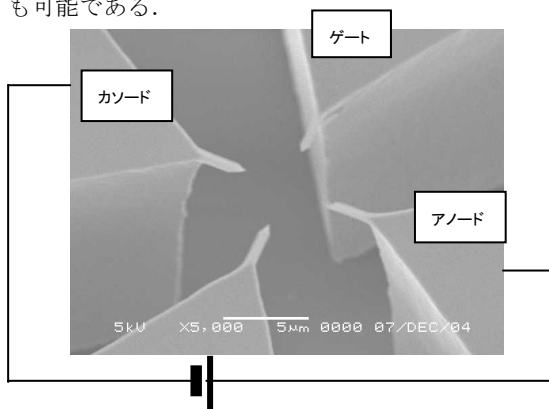


図 1. 測定に用いたデバイスの SEM 像

次に FE 現象を確認するため, 圧力  $2 \times 10^{-8}$  Torr 以下の高真空チャンバー (ターボ分子ポンプ使用) 内で, デバイスに適切な電圧を印加することにより電流電圧特性を測定し, その数値をもとに F-N (Fowler-Nordheim) plot[3]の解析を行った. 測定には, 半導体パラメータアナライザ (Agilent:E5263A)を用い, 電流電圧特性を PC に取り込んで解析した. まず, アノードに印加する電圧を一定にして (200V), エミッタの電圧 ( $V_c$ ) を 0V から -100V へ -0.5V ステップで変化させたときの電流電圧特性および測定のご概念図を図 2 に, F-N plot[1]のグラフと F-N 方程式を図 3 に示す. F-N plot が直線上の理論式にうまくフィッティングできているので, この電流が FE によるものであることを確認した. 図 2 より得られた FE 電流は, エミッタ電圧が -100V (カソードとの電位差 300V) の時に約 4.0nA で, しきい値電圧は約 10V (電位差 210V) である. 一方, F-N plot については図 3 より, 測定値と理論線は特に高印加電圧下においてよい一致が見られる. また, FE 電流  $I$  は電界電子放出の実行放出面積を  $\alpha$  として  $I = \alpha J$ , 電界  $F$  は電界増倍係数を  $\beta$  とすると  $F = \beta V$  で表され, 本測定では  $\alpha = \pi (0.85 \text{nm})^2$ ,  $\beta = 6.4 \times 10^5$  という値が得られた.

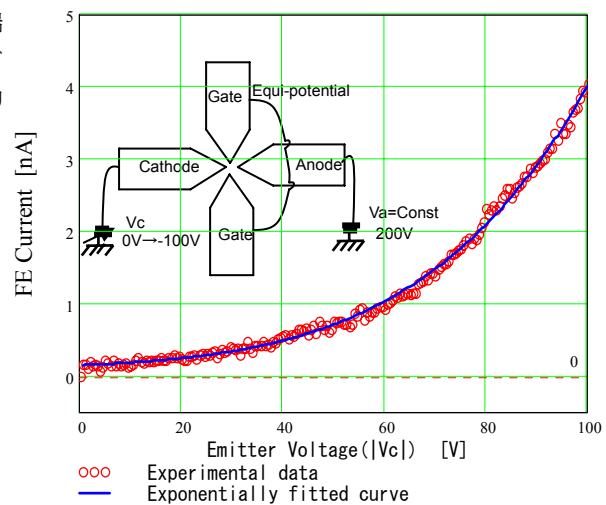


図 2. 測定したデバイスの電界放出電流のアノード・エミッタ間電圧特性および概念図

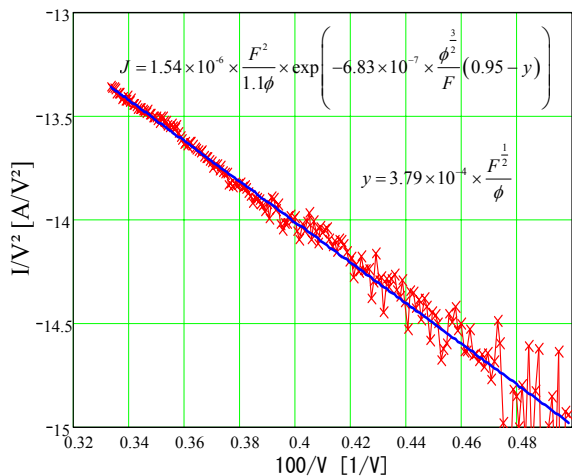


図 3. 測定したデバイスの F-N plot

これらの値は、エミッタ・アノード間の電圧を変えた場合でもほぼ一定である。また、この測定におけるノイズの実効値は数 pA であった。

### 3. 電界放出ティップの作製方法

活性層 30um の SOI 基板(SOI:30um, SiO<sub>2</sub>:2um, 基板:625um)を用いたプロセスチャートを図 4 に示す。このように一回のフォトリソグラフィと DRIE (Deep Reactive Ion Etching) を用いた簡単なプロセスでデバイスを作製できる。

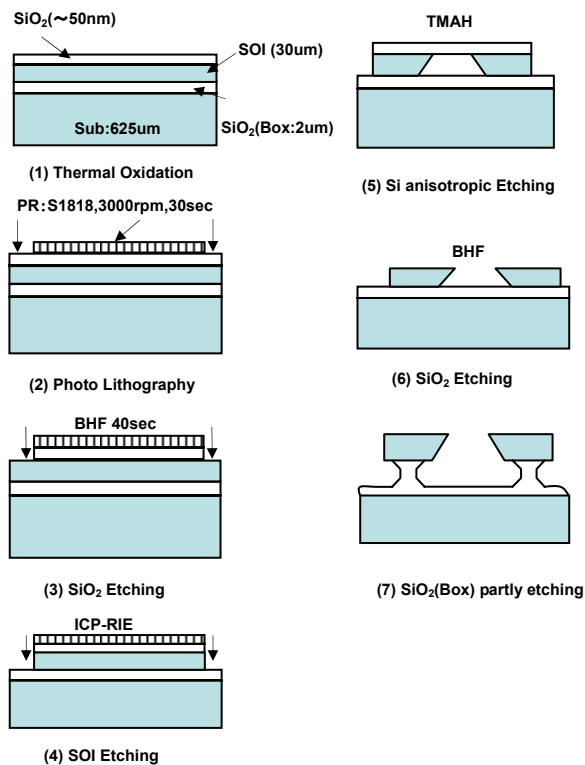


図 4. DRIE と TMAH 異方性ウェットエッチングを組み合わせた電界放出ティップの作製方法

本プロセスでは、FE 電流を測定する際の障害となるリーク電流を極力抑えるためにいくつかの工夫を行っている。まず、図 4 のプロセスチャート(7)において絶縁層である SiO<sub>2</sub>(Box)を一部残るように除去することである[4]。このように対向電極と支持基板を酸化膜で完全に絶縁することにより、良好な絶縁効果が得られる。また、電圧の印加は SOI 基板に直接ボンディングした Al のパッドに行うことにより、Cr-Au などの金属をあらかじめ蒸着する必要がない。したがって、蒸着時に懸念される蒸着金属の回り込みに起因する電極と基板間の短絡を解消できる。

### 4. 本研究の今後の展開

本研究におけるインパクトは、MEMS を用いて真空マイクロエレクトロニクスの一つである電界放出現象を実現することができたことである。前出のように、MEMS プロセスによって電界放出に有用な、短い距離で先端の鋭い対向電極を作製することができた。近年、MEMS の高周波(RF: Radio Frequency)への応用が期待されているが、その一助となるデバイスであると考えている。今後は、より低い印加電圧における電界放出電流の更なる安定化と電流量の増加を目標として、デバイスの設計およびプロセスの改善を検討する。一方で、電界放出現象においては測定系の真空度に依存するので高真空を保つことが可能なパッケージングを検討する。さらに電界放出現象はエミッタに用いる材料の仕事関数にも依存するので、今回用いている Si よりも仕事関数が低くかつ Si に容易に蒸着しうるエミッタ用の材料(例えば Mo など)を SOI 上に蒸着するなどの研究を行う。さらに、高周波応用として電極のうちの一つを機械的に振動させることによって、高周波数領域で高分解能なバンドパスフィルタの実現を試みる。

### 文献

- [1] D.Temple, Materials Science and Engineering R24(1999) pp.185-239
- [2] M.Nanba, T.Yamagishi, and S.Itoh, Applied Surface Science 146(1999) pp.251-256
- [3] R.H.Fowler, D.L.Nordheim, Roy. Soc. Proc. A 173 (1928)
- [4] N.Nozaawa, K.Kakushima, G.Hashiguchi, and H.Fujita 2002 Proc.3 rd Workshop on Physical Chemistry of Wet Etching of Silicon (Nara, Japan, June 2002) pp 52-3